

五大永續執行構面

創新管理

1.1 核心競爭力

1.2 創新及研發成果

1.3 低功耗技術研發與永續產品

1.4 智慧財產管理

SDGS 對應



永續亮點

IP 的資料庫

擁有超過 4,000 項 IP 的資料庫

低功耗矽智財

已開發完成 2,942 項低功耗矽智財

研發人才

研發工程人才佔總員工數 80% 以上

專利

全球累計核准專利總數超過 967 件

永續產品

82% 能源轉型與智慧應用相關產品營收占比

研發

研發費用占比達 27%



管理方針

重大主題	績效指標	2024 目標	2024 成果	2025 年目標	2030 長期方向
創新管理	專利提案件數	≥ 10	專利提案件數共 10 件	≥ 11	透過鼓勵研發創新等獎勵機制，結合公司營運目標與佈局的專利申請，營造研發創新的正向循環企業文化
	通過 TIPS A 級再驗證	維持驗證聲明書有效性	維持 TIPS A 級有效性	維持驗證聲明書有效性	將 TIPS 管理制度推廣至公司各技術部門
綠色產品設計	推展低功耗設計	> 80% 建置完成率於 14nm 低功耗設計及 40nm SONOS 低功耗平台	> 86% 完成率於 14nm 低功耗設計及 40nm SONOS 低功耗平台	> 90% 建置完成率於 14nm 低功耗設計及 40nm SONOS 低功耗平台	持續開發低功耗產品與低功耗平台
	智原永續類產品營收占比 (綠能 / 智慧 / 效能相關)	> 70%	智原永續類產品營收占比 (綠能 / 智慧 / 效能相關) 達 82%	>70%	持續進行多項低功耗及節能用途 ASIC 產品，提升設計案佔比，並逐年拉高低功耗設計案於營收的佔比，讓智原朝高含 " 綠 " 量前進

重大永續主題管理

創新管理

- 

政策 / 承諾
透過持續地創新強化核心競爭能力，落實永續發展。
- 

衝擊說明
未即時掌握市場脈動，無法推進新技術發展
- 

關鍵行動
 - 定期檢視，實施補救計畫
 - 調整產品計畫

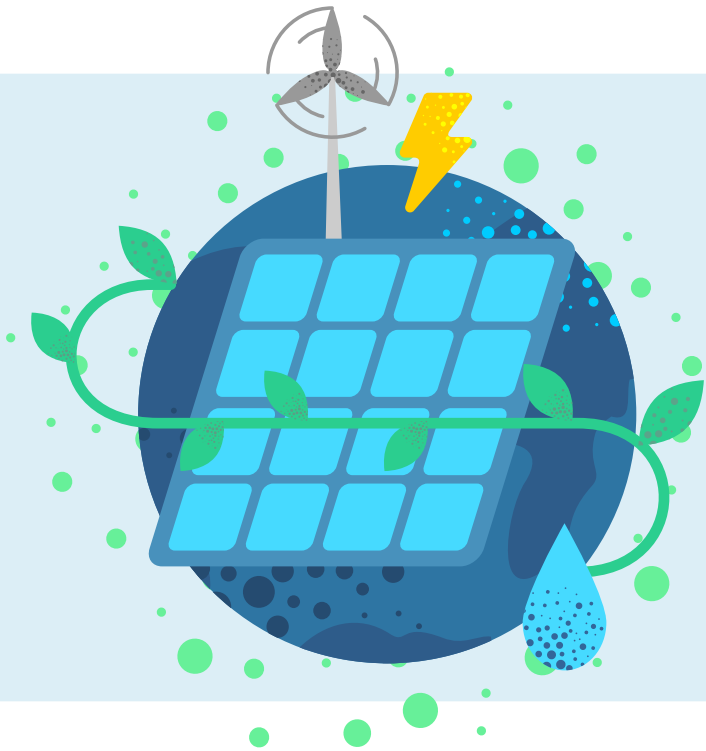
綠色產品設計

- 

政策 / 承諾
持續綠色創新，開發低功耗技術及系統應用。
- 

衝擊說明
產品研發不如預期，造成多餘能資源使用，增加環境負擔
- 

關鍵行動
 - 持續開發綠色永續產品案件
 - 持續推動更先進的製程技術，降低產品能耗



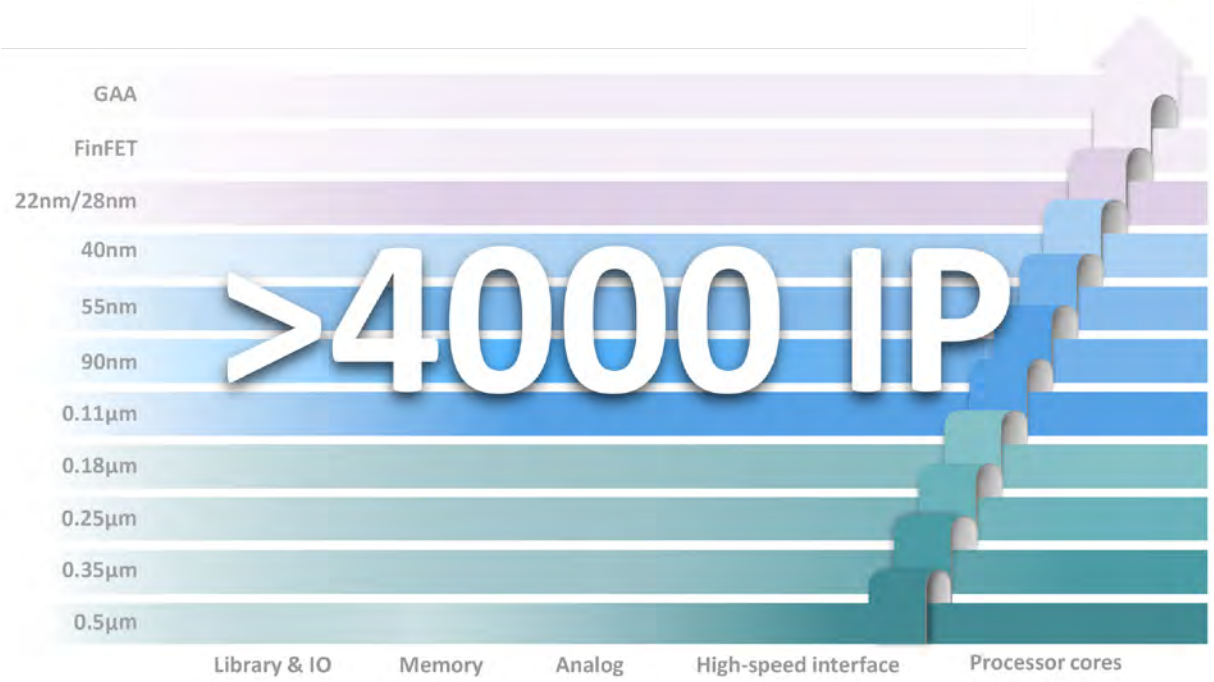
1.1 核心競爭力

1.1.1 完整 IP 資料庫

擁有三十年豐富的矽智財 IP 開發經驗，智原在技術的研發創新不遺餘力，已累積超過 4000 項自主研發的 IP，並已於 ASIC 設計案通過矽驗證與量產驗證，可滿足 ASIC 客戶在不同領域的多元應用。

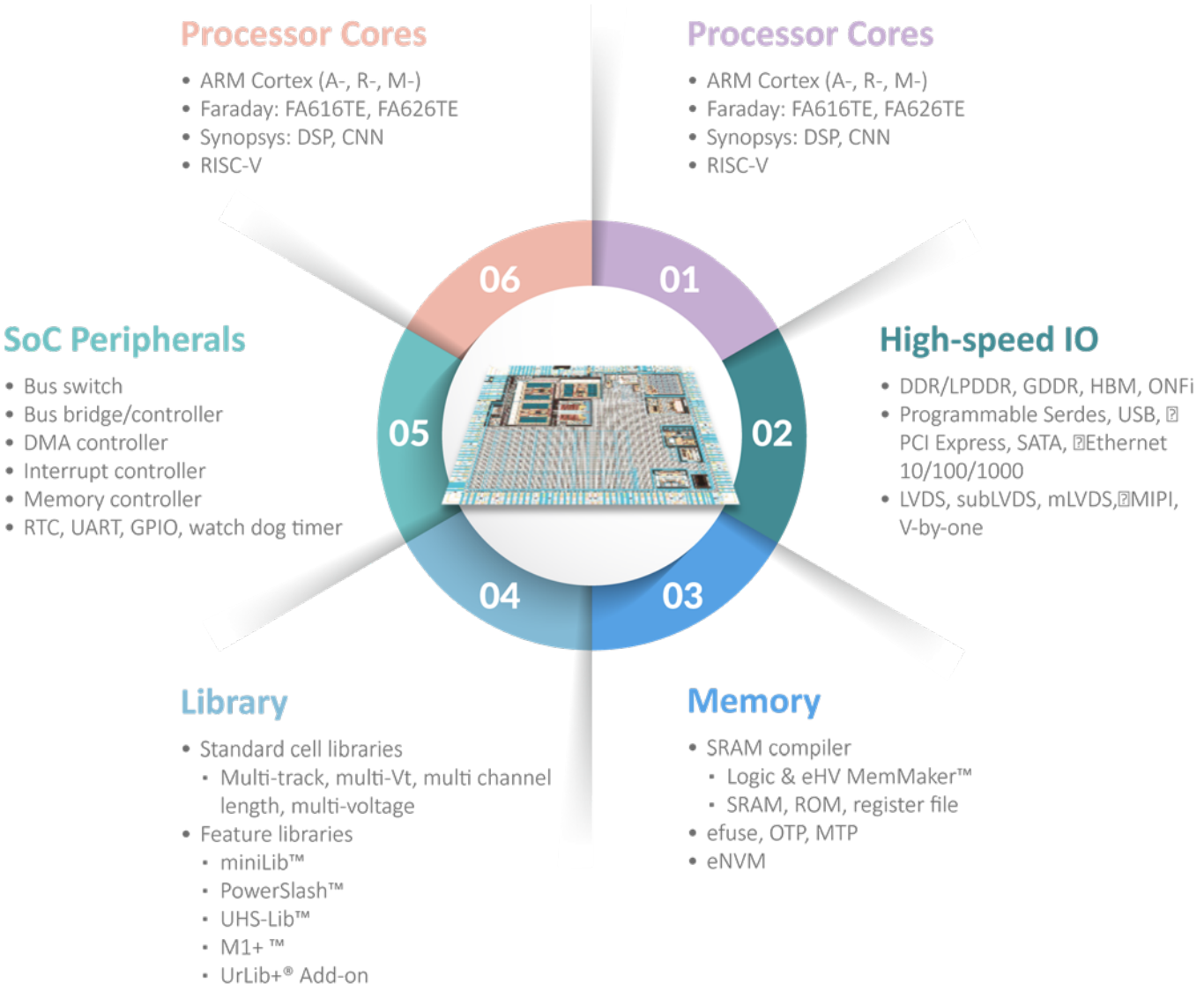
智原多樣且完備的 IP 資料庫除了可以有效節省每件 ASIC 設計案所需的開發資源，亦可為研發人員的專案開發能力與技術經驗奠定良好基礎，造就不停歇的創新動能。

作為亞洲第一家成立且擁有完整自主開發 IP 資料庫的 ASIC 廠商，智原運用多年的經驗與持續創新的技術，幫助客戶節省可觀的 IP 授權費用，提高晶片整合性，並降低晶片開發風險。



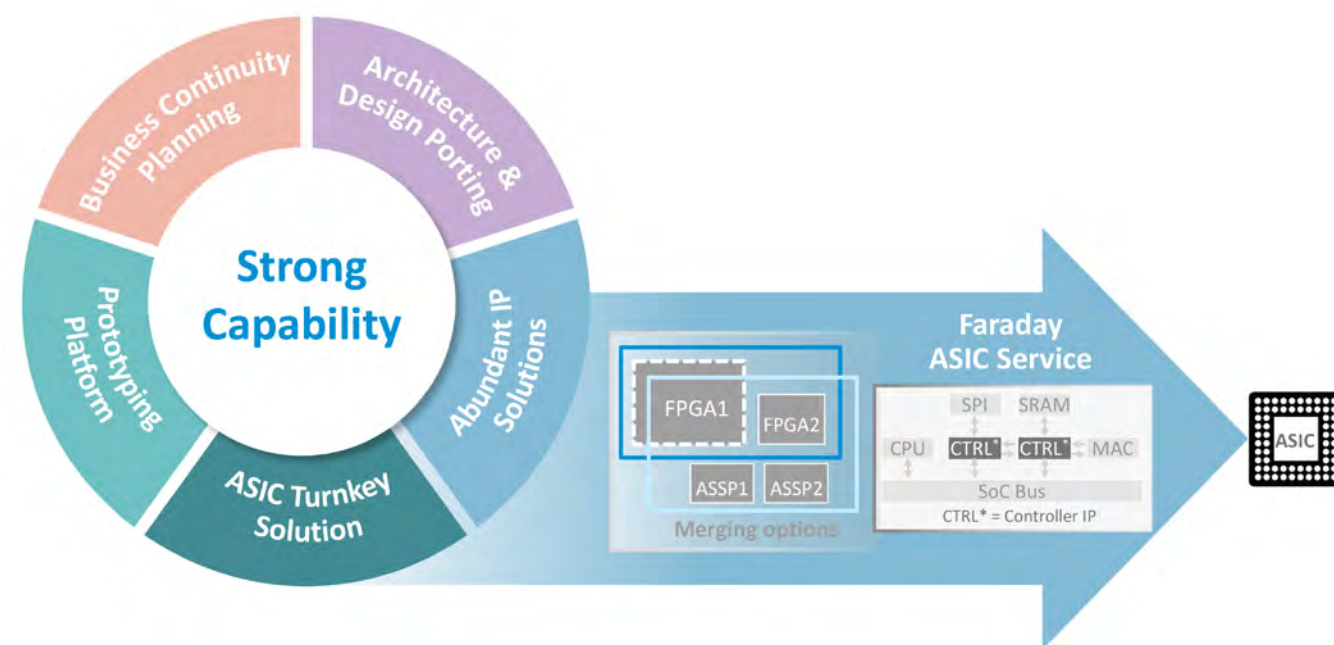
智原 IP 涵蓋六大技術領域

智原 IP 資料庫依照分類，可區分為六大技術領域，包含 Processor Cores、High-speed IO、Memory、Library、Analog & IO 與 SoC Peripherals，每個技術領域皆包含多種 IP，智原協助客戶設計晶片時，也提供全方位的 IP 服務解決方案。



1.1.2 高效的 ASIC 設計服務

智原具備全面而多元的 ASIC 設計能力，包含提供最佳 IP 解決方案、平台化 SoC 整合設計、一條龍量產服務（Turnkey）等具競爭力的服務項目，並結合高效率的 ASIC 設計流程，不但可加速客戶產品的上市時程，並能因應不同應用需求提供晶片設計，提升產品的成本競爭力、安全性及可靠性。

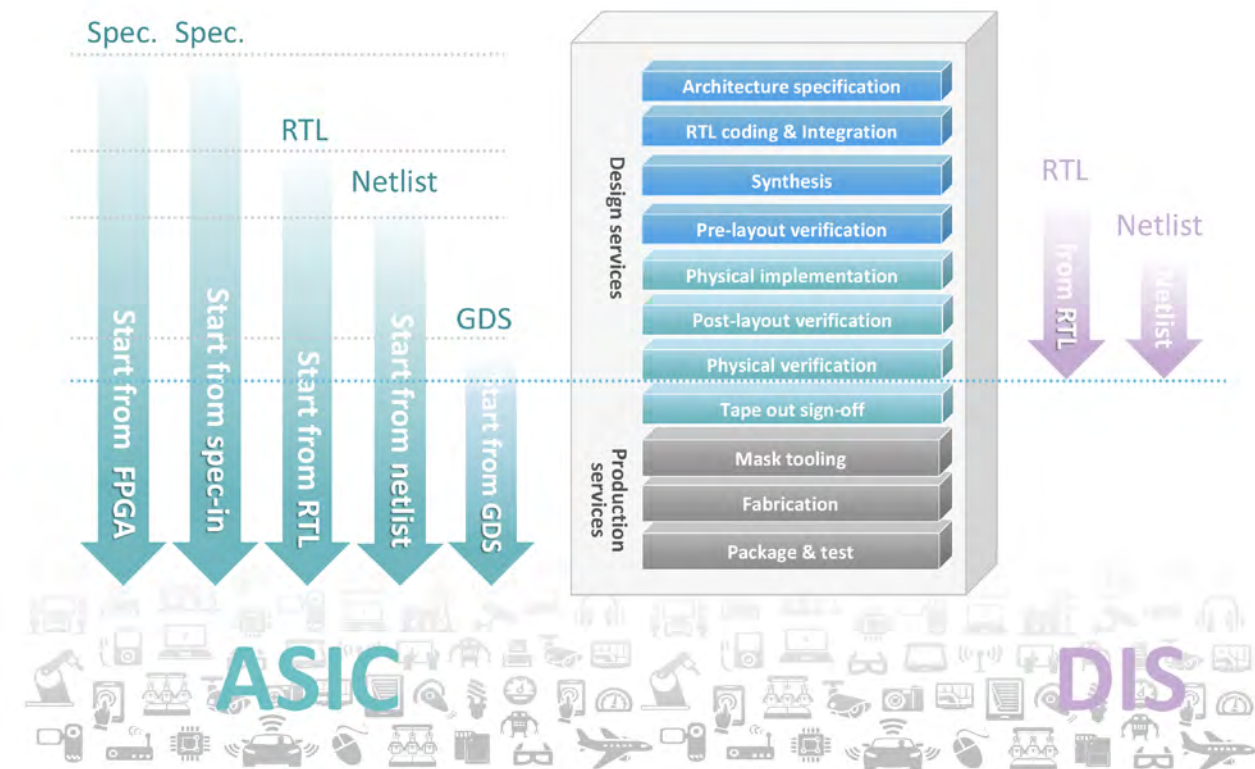


智原除了具備全方位設計能力外，在客製晶片服務上，以 IP 服務、設計服務及量產服務為三大核心項目，發展出完整的設計流程與解決方案，透過結合自動化整合工具與平台，產出 RTL 等設計，在較短時間內有效解決客戶產品中複雜的晶片設計整合問題，讓客戶能更專注於核心技術的開發，實現高效益的專業分工。

有效率的創新是智原始終專注的目標，在日趨複雜的晶片設計趨勢下，智原不斷地在技術上突破，並與合作夥伴及客戶共享開發經驗，確立研發創新的核心思維，使智原開發的每一顆 IC 裡，都能體現永續價值。

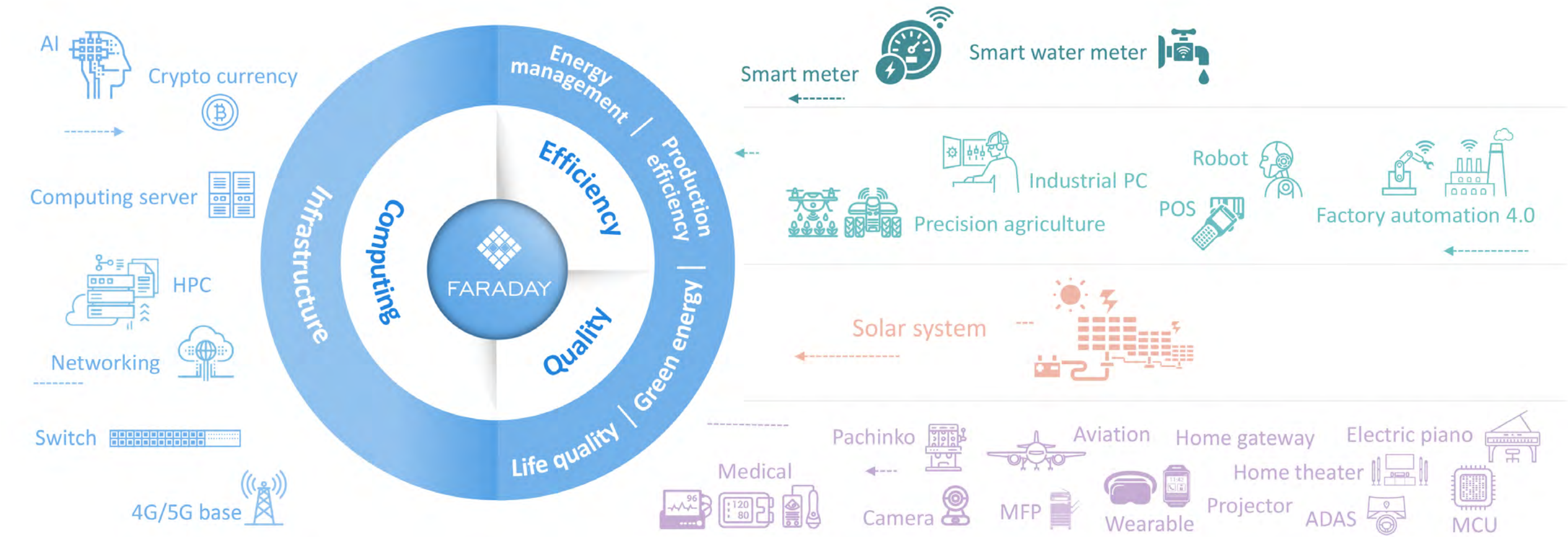
完整的 ASIC 設計服務模式

智原與聯電、三星及英特爾等晶圓廠策略夥伴合作，提供客戶完整的製程選擇，不論是高效能的先進製程，或是因應各種應用的關鍵製程，皆佈局了相應製程的 ASIC 設計服務。智原提供一站式的 ASIC 服務，從設計到最後的生產、測試，確保客戶的設計案從上游到下游的每個環節都環環相扣，以降低專案風險、增進生產效率。



ASIC 應用解決方案

ASIC 的技術應用大多著眼於高速運算、提升品質及促進效率等三大方向，涵蓋雲端運算基礎建設、綠能、生活品質、能源管理及生產效率等五大應用領域。

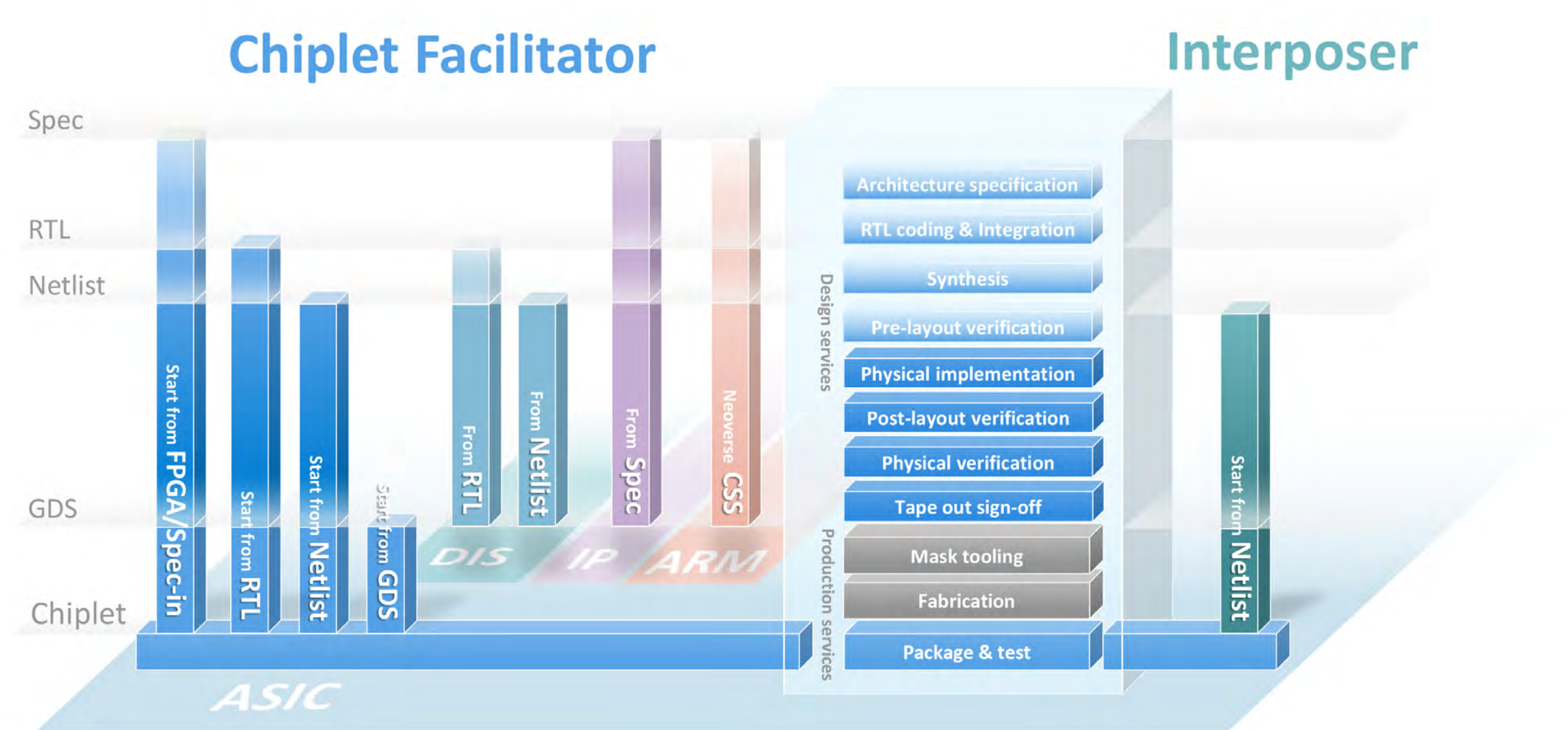


全面先進封裝服務

先進封裝技術是半導體製程技術進入下一個世代的重要基石，透過先進封裝技術，晶片產品得以在效能、尺寸、散熱性、成本與功耗上獲得優化。在提供客戶的封裝解決方案上，智原可為客戶提供客製化的 2.5D/3D 先進封裝服務；智原作為一個中立的服務廠商，能為多源晶片、封裝和製造等高階封裝服務提供更多的技術支援和效率。

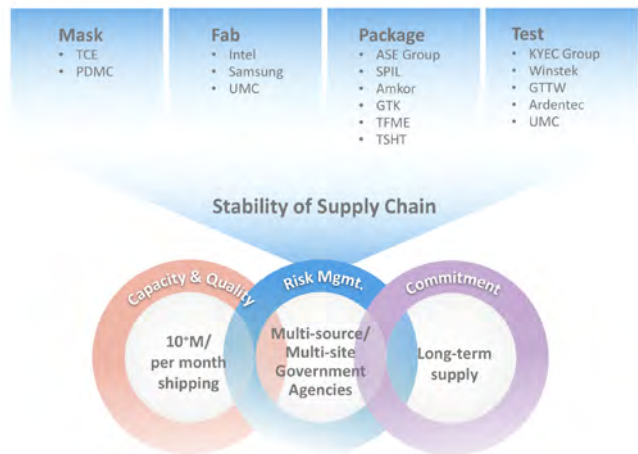
先進封裝架構圖

通過與聯電以及台灣知名封裝廠商長期合作，智原能支援包括矽通孔 (TSV) 內的客製化被動 / 主動中介層 (Interposer) 製造，提供先進封裝服務，有效管理 2.5D/3D 封裝流程。



穩固的供應鏈夥伴

作為全方位 ASIC 設計服務領導廠商，智原與全球頂尖的半導體供應商共同合作，建立長期互信關係，提供高品質且具競爭力的技術及量產服務。從設計端的 IP、EDA 軟體工具，到生產端的晶圓廠、封裝與測試，與供應商共同打造品質優良的晶片，滿足客戶需求。



IP 供應商

IP 供應商 (IP Suppliers) section featuring logos for:

- Andes Technology, arm, cadence, CEVA, ememory
- infinion, PUFsecurity, Rambus, SECURE-IC, Silicon Creations
- Li Silicon Library Inc., synopsys

EDA 供應商

EDA 供應商 (EDA Suppliers) section featuring logos for:

- Ansys, cadence, KEYSIGHT, SIEMENS, synopsys

生產供應商

生產供應商 (Production Suppliers) section featuring logos for:

- Amkor Technology, Ardentec, ASE GROUP (日月光集團), GREATEK, intel, KYEC
- PDMC, SAMSUNG, SPIL, TCE, TF 通富微電
- UMC, wavelek, Winstek, 华天科技

1.1.3 創新研發管理

智原研發管理秉持「管理創新」的宗旨，透過建立 eRD 研發管理系統，不間斷地深化研發與量產技術的經驗與能量，落實研發管理的 PDCA，透過執行全面品質管理，使得研發品質逐年提升，產品的品質、成本、交期與服務都持續獲得國際大廠的採用與肯定，也為智原帶來穩定的成長與獲利。

智原持續發展 IP 核心技術與完整的 ASIC 產品開發解決方案，與我們全球的客戶建立長期穩固、共創雙贏的夥伴關係，提供高品質服務，致力打造造福人類 IC，展現智原的價值。



IP 研發管理

智原採用自建的 IP 研發管理系統，將 IP 分類管控開發資料，並依據以下四個階段進行品質管理。

- IP 開發時期：以自建的 Folder 系統紀錄開發流程與相關資料
- IP 完成時期：以自建的 OCEAN (Faraday IP central database) 系統管理 IP 資料庫
- IP 狀態管理：以自建的 IP Center 系統匯集 IP 狀態，並以自建的 IP Alarm 系統進行 IP 變更以及影響管控，保障客戶 IP 使用的品質。IP 狀態分為 5 個等級來標示各項 IP 的品質成熟度，各等級分類名稱及原則如下：智原 IP 狀態等級表
- IP 交付方式：以自建的 eService 系統方便客戶取得專案相關的 IP 文件及資料

智原 IP 狀態等級表

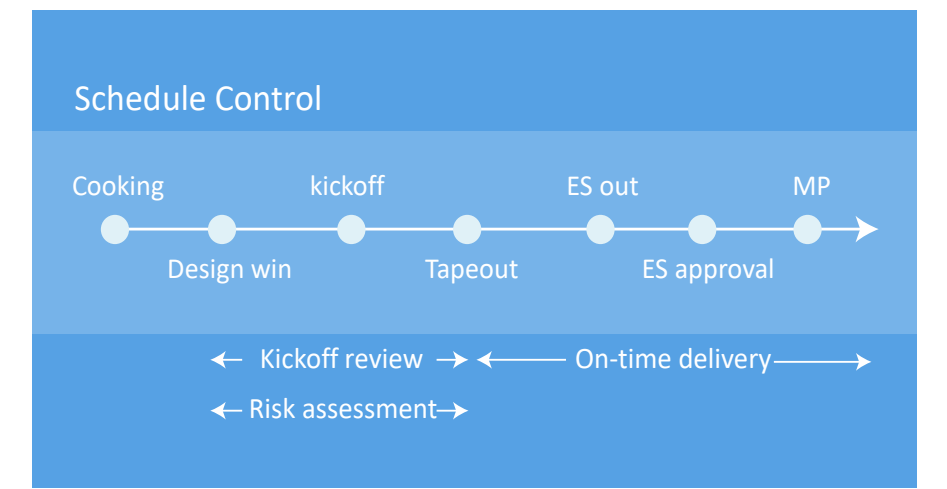
等級	說明
鐵牌 (Iron)	IP 開發完成，文件已登入 OCEAN (Faraday IP central database) 系統，但 IP 相關驗證尚未完成。
銅牌 (Bronze)	IP 開發完成，文件已登入 OCEAN (Faraday IP central database) 系統。已完成 IP 相關驗證，尚未完成測試晶片的實體測試。
銀牌 (Silver)	IP 開發完成，文件已登入 OCEAN (Faraday IP central database) 系統。已完成 IP 相關驗證與測試晶片的實體測試及 SVR (Silicon Verification Report)，尚未使用於 ASIC 產品。
金牌 (Gold)	IP 開發完成，文件已登入 OCEAN (Faraday IP central database) 系統。已完成 IP 相關驗證與測試晶片的實體測試及 SVR (Silicon Verification Report)，並已應用於兩項以上的 ASIC 產品量產，每項 ASIC 產品量產數量大於 50 片晶圓或 2 萬顆晶片。
白金牌 (Platinum)	IP 開發完成，文件已登入 OCEAN (Faraday IP central database) 系統。已完成 IP 相關驗證與測試晶片的實體測試及 SVR (Silicon Verification Report)，並已應用於 5 項以上的 ASIC 產品量產，每項 ASIC 產品量產數量大於 50 片晶圓或 2 萬顆晶片。

ASIC 設計服務流程管理

智原提供 ASIC 客戶完整多元的業務模式方案。在 ASIC 研發管理方面，我們採用自建的數位化 eASIC 管理系統，將 ASIC 專案從與客戶進行產品籌畫 (Cooking) 開始，一直到產品最終導入量產的整個流程都納入數位化管控，而各個相關系統與 ASIC 專案的資訊也完整串接到 eASIC 每個專案的專屬頁面上，使用者可方便地查詢到完整的 ASIC 專案資訊，以確保資訊準確性，任何環節都不遺漏，一次就達到研發品質的要求。我們透過流程性的研發管理，提升品質與效率，加強創新競爭力。

精準的 ASIC 研發時程管理

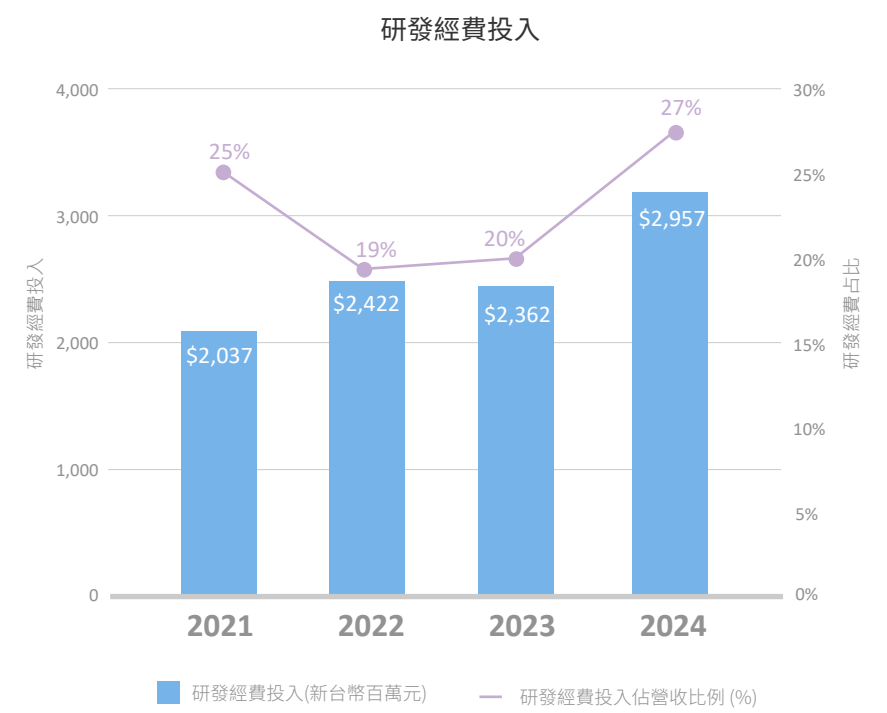
ASIC 設計流程複雜，智原在實際的開發流程中以「ADMIRE 系統」來管控每個階段的細節與時程，並設有提醒機制，使專案經理、研發人員乃至客戶皆可透過系統了解任務執行狀況與瓶頸，以即時解決問題。



1.2 創新及研發成果

1.2.1 創新技術

研發創新為智原的核心競爭力，研發工程人才佔總員工數超過 80%。近年來，智原將營收的 20%~30% 投入研發經費。



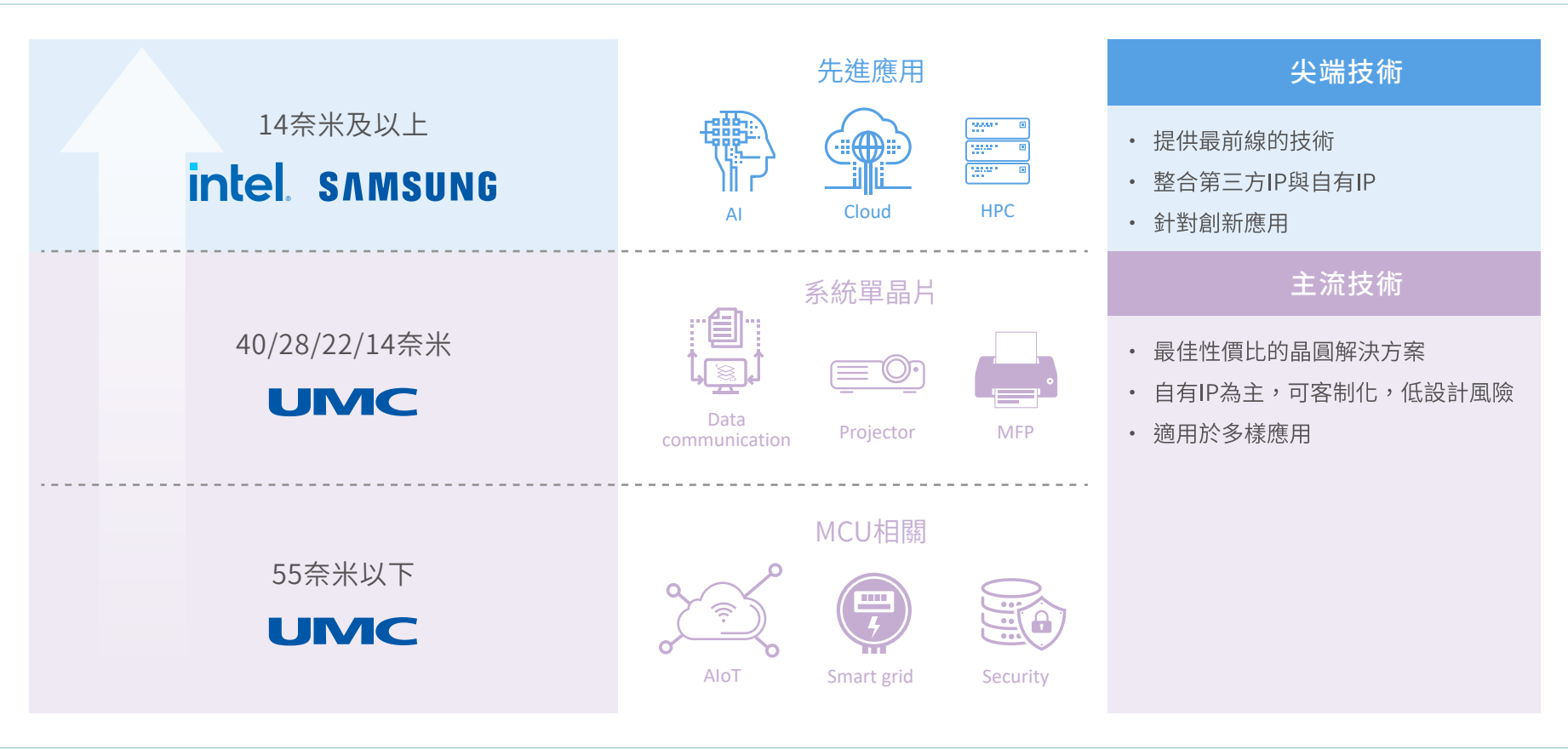
在製程技術升級方面，智原與聯電、三星及英特爾晶圓廠為策略合作夥伴。智原致力於開發先進製程所需的基礎元件及各類功能性 IP，為客戶提供市場關鍵與先進製程的 ASIC 設計服務；客戶根據需求選用先進製程，或應用廣泛的高成本效益關鍵製程。

基於關鍵製程的設計

智原與聯電及三星已合作開發多項標準元件與介面元件庫，完整涵蓋 0.5 微米至 14 奈米的邏輯和混合訊號特殊製程。客戶可依據需求選擇不同的製程、電壓及混合模式技術，以滿足物聯網、微控制器、智慧電網、多功能事務機、投影機與網通等廣泛應用領域的需求。此外，智原配合集團營運策略，收購了 Aragio Solutions，實現策略性投資及佈局綜效，並因應長期營運需求增強核心競爭力，並拓展產業規模。Aragio Solutions 主要業務為高速傳輸介面 I/O 與 ESD IP 解決方案，客戶包括台積電等各大晶圓廠，製程涵蓋 65 奈米至 4 奈米。

基於先進製程的設計

智原與聯電、三星及英特爾已成功在先進製程上進行多項 ASIC 專案。針對新一代應用產品，例如：人工智慧、5G 基礎網路、區塊鏈、雲端儲存、高速運算、擴增與虛擬實境、高階成像技術等，我們為客戶量身訂做加值的 ASIC 設計解決方案，整合完備的 IP，協助客戶在先進製程技術上實現創新產品。



1.2.2 研發成果

與 Arm 合作提供基於 Arm Neoverse CSS 的設計服務

成為 Arm® Total Design 設計服務合作夥伴，憑藉豐富的 Arm IP 設計與 ASIC 服務經驗，提供 Arm Neoverse™ 計算子系統 (CSS) 的整合和硬核解決方案，以滿足先進雲端、高效能運算 (HPC) 和人工智慧 (AI) 晶片的需求。

推出 HiSpeedKit™-HS 平台 提供高速介面 IP 系統驗證

推出 HiSpeedKit™-HS 平台，用來強化並簡化高速介面 IP 子系統的驗證流程。除了支援智原自有的 IP 外，可透過內建 FPGA 整合第三方介面控制電路，進行完整的軟硬體驗證，降低風險及縮短設計整合時間。

HiSpeedKit-HS 平台提供 IP 設計與系統整合，晶片設計者可在真實的 SoC 環境中進行介面 IP 的整合與系統測試。這個平台內建了 Arm Cortex® A53 處理器及智原自有的 DDR 4 PHY、PCIe Gen 4 PHY 和 Gigabit 乙太網路 PHY 等高速介面 IP，除了確保這些 PHY IP 測試晶片通過系統驗證，同時進一步整合控制電路，確保整合後的高速介面子系統完整度及品質，降低未來整合風險，加速設計生產時程，並在各種系統軟體應用上提供先期的性能體驗。

推出 22 奈米影像介面 MIPI D-PHY IP

推出 22 奈米 MIPI D-PHY IP，支援 0.8V 低功耗工作電壓版本，相較於 28 奈米方案，功耗降低 12%，IP 面積減少 10%，同時支援 80Mbps 至 2.5Gbps 的 TX 傳輸通道，特別適用於高解析或高幀率影片應用，並可客製化 RX IO 組合，以彈性的數據和時脈通道配置滿足不同設備接口的需求。

這個 22 奈米 V-by-One HS PHY IP 符合 V-by-One HS V1.4/1.5 標準，支援 600Mbps 至 4Gbps 的傳輸速率；相較於 28 奈米版本，22 奈米的低功耗版本在 0.8V 操作電壓下，功耗降低 20%，IP 面積縮小 30%。這個 IP 支援數據加擾與 CDR(時脈資料恢復)功能，可有效解決訊號扭曲(skew)問題並降低 EMI 影響。

智原持續投入高速影像介面解決方案，提供應用導向的設計服務，包含多通道配置與 IO 介面組合等 IP 客製化服務，以及協助將設計無縫轉移至其他製程。



推出先進封裝協作平台 支援多源小晶片封裝整合

推出先進封裝協作服務平台，整合來自不同供應商或半導體廠的小晶片 (Chiplet)，簡化整體先進封裝流程，簡化整體先進封裝流程，提供設計、封裝和生產等核心服務。這個服務平台可根據客戶需求，提供一站式解決方案，整合小晶片、HBM 高頻寬記憶體、中介層以及 2.5D/3D 封裝的垂直分工供應商，包含小晶片設計、測試分析、生產規畫、外包採購、庫存管理及 2.5D/3D 先進封裝服務。

宣布於英特爾 18A 製程開發基於 Arm 的 64 核 SoC

與 Arm 和英特爾合作，在英特爾 18A 製程上開發 64 核 SoC，整合 Arm® Neoverse™ 運算子系統 (CSS)，為大規模數據中心、邊緣基礎架構和先進 5G 網路提供卓越的性能和功耗效率，加速高效能運算 (HPC) 及數據中心應用。

這個 SoC 將為智原新一代平台的核心，可協助客戶加速數據中心伺服器及高性能運算 (HPC) 相關 ASIC 和客製化 SoC 的開發。此外，將進一步整合 Arm Total Design 生態系統的周邊 IP，確保 SoC 在英特爾 18A 製程順利整合和驗證，並簡化 SoC 架構的前端設計流程，以縮短晶片開發週期。

1.3 低功耗技術研發與永續產品

智原秉持「以科技創新增進人類福祉」的永續理念，積極研發高效能、低功耗的晶片技術，以綠能、生活品質、能源管理、生產效率與雲端運算基礎建設等五大應用為重點發展方向，以推動促進全球能源轉型與提升人類福祉。

1.3.1 低功耗技術研發

開發低功耗 SoC：14 奈米基礎元件 IP 解決方案

智原推出基於聯電 14 奈米製程的基礎元件 IP 解決方案，包含多重電壓標準元件庫、ECO 元件庫、IO 元件庫、PowerSlash 低功耗控制套件及記憶體編譯器，可大幅降低晶片功耗，滿足新一代 SoC 設計需求。

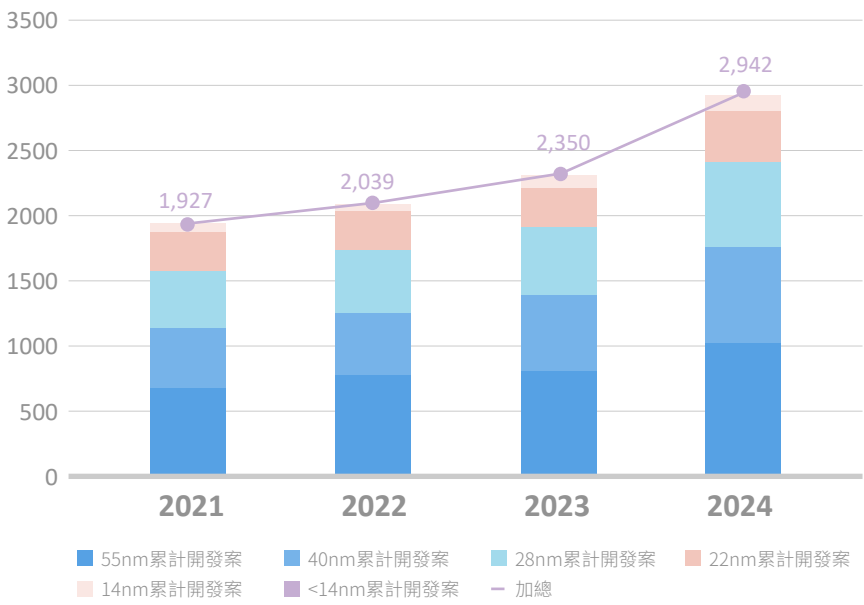
針對低功耗 SoC 需求，智原基礎元件 IP 具備進階繞線架構，以及優化功率、效能和面積設計。相較於 22 奈米技術，14 奈米元件庫可在相同效能下減少 10% 晶片面積，或降低超過 30% 功耗。此外，這套標準元件庫可於 0.8 V 至 0.9 V 廣域電壓下運作，並支援 SoC 內 Always-on 電路維持低漏電；多元 IO 元件庫包括通用 IO、多重電壓 IO、RTC IO、OSC IO 和類比 ESD IO；記憶體編譯器具雙電源軌功能、多重省電模式、和讀寫輔助功能等特色。

智原透過與聯電長期的合作與豐富的 ASIC 經驗，可為客戶提供專業的聯電製程 IP 選用服務。我們藉由聯電 14 奈米技術推出全新的邏輯元件庫和記憶體編譯器 IP，協助客戶在成本優勢下開發低功耗 SoC 以更佳的競爭優勢佈局物聯網、人工智慧、通訊及多媒體等新興應用。

低功耗 IP 技術解決方案

截至 2024 年止智原已完成共計 2,942 項低功耗矽智財的研發，相繼推出基於聯電 14 奈米製程的混合訊號矽智財，為客戶提供更完整的解決方案，達到降低能源耗費，實現省電的環保目標。

低功耗IP技術累計開案量



提供客戶晶片系統節能解決方案

智原提供 ASIC 設計服務方案，與客戶共同開發系統晶片；依據節能需求選用最適合的製程與矽智財，可為客戶減少功耗 50% 以上。以下面兩個產品為例，累積至 2024 年所生產的智慧電表 ASIC 可帶來 1,585,122,000 kWh 的節電貢獻，而太陽能 ASIC 可帶來 924,442,800 kWh 的節電貢獻。

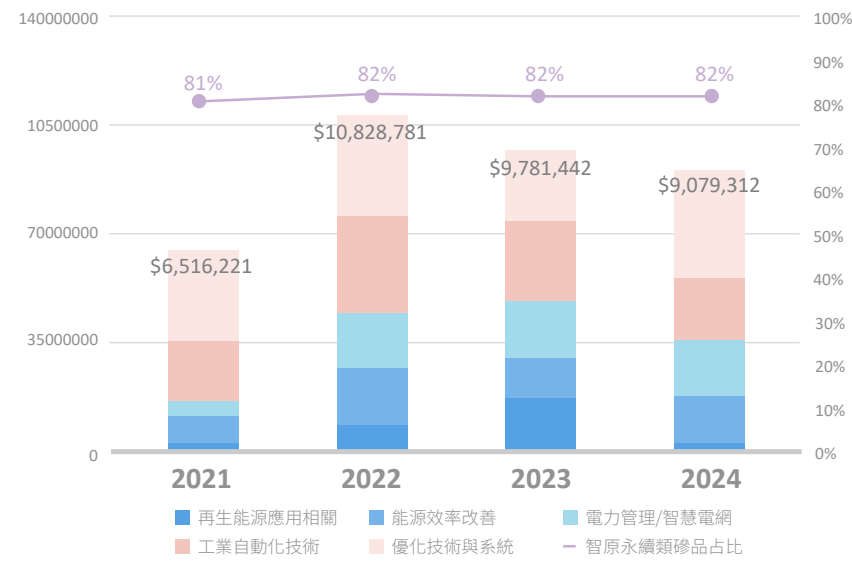
項目		應用領域	
		智慧電表	太陽能
製程		55nm	110nm
晶片設計功耗較前代節能率 (工作於相同頻率)		51.33%	50.88%
推估年度節電貢獻	kWh	1,585,122,000	924,442,800
	GJ	5,706,394	3,327,967

1.3.2 能源轉型及智慧應用的推手

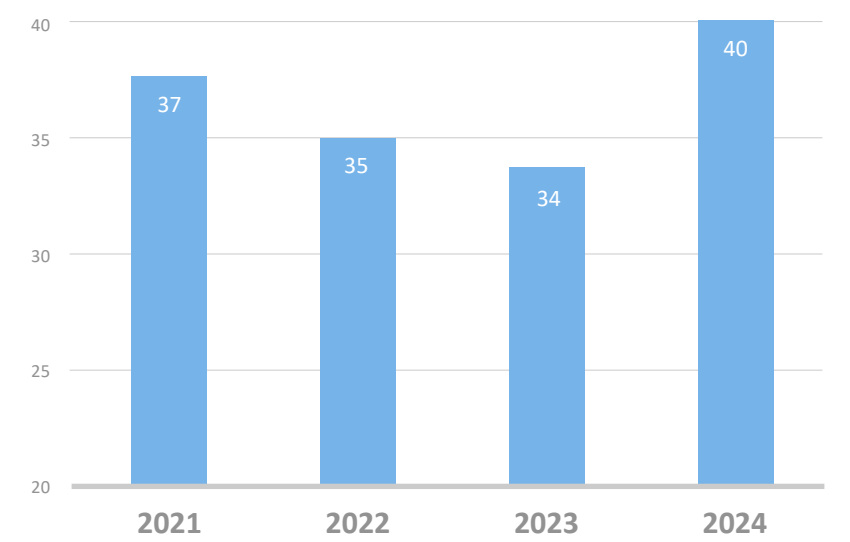
智原積極推動綠能、智慧與效能提升等相關產品開發，期望透過智原專業的設計研發能力，為世界的能源轉型目標盡一份心力。我們將產品應用於智慧電表、太陽能系統（含智慧電網）、Switch、辦公室自動化、工業自動化、精緻農業、PoS 產品，等綠色永續類產品，智原於 2024 年的能源轉型與智慧應用相關產品營收占比達 82.19%，未來持續提高比例。

智原多年來一直是綠能產業鏈系統公司的關鍵晶片設計夥伴。我們提供自主開發的 IP 矽智財，以及加速晶片設計流程的平台式設計服務，配合製造封裝測試等生產流程的有效管理，已完成數十個客戶設計案的開發，並成功量產出貨，為客戶帶來商業上的成功，也為全球綠能產業做出貢獻。

智原永續產品分布與占比



能源轉型與智慧應用開案數量

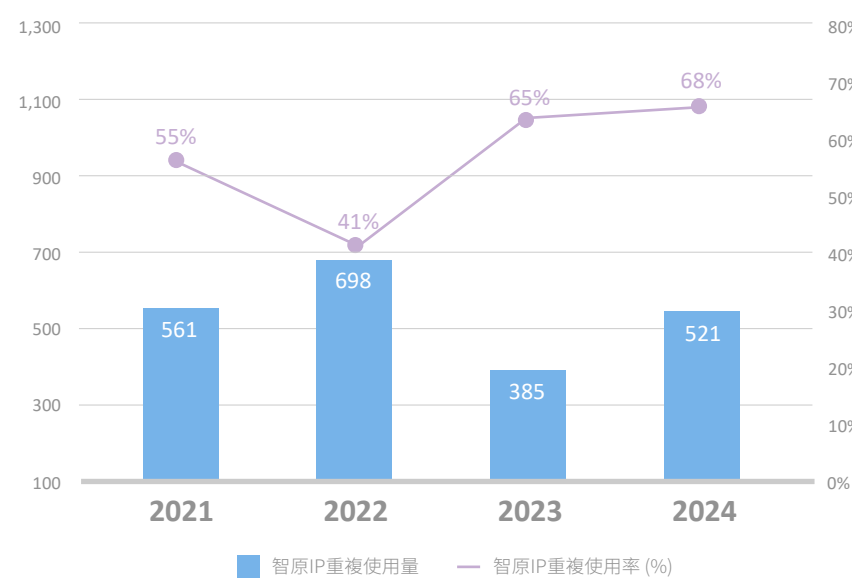


1.3.3 以矽智財技術推動晶片研發創新的永續價值

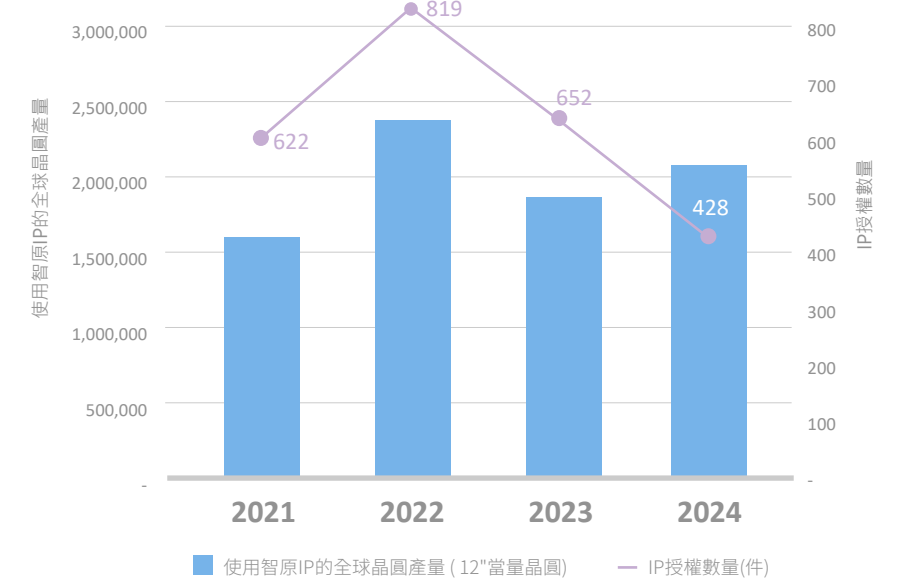
現今人類科技的進展與晶片技術高度相關。隨著晶片製程技術的不斷突破，每個晶片的功耗與效能都持續往更高世代優化；矽智財所掌握的核心技術是推進晶片產品發展的關鍵。智原擁有豐富的矽智財資料庫與研發能力，深受眾多客戶夥伴信賴；高品質的矽智財不僅協助我們的客戶降低系統晶片設計整合的風險，也提高晶片研發的效率及成功率。

作為矽智財核心技術服務的推動者，智原讓客戶得以專注於晶片特定應用與功能上的開發與創新，共同創造更多造福人類與地球的科技產品。

矽智財重複使用狀況



矽智財授權與投入晶圓生產量



1.4 智慧財產管理

智原秉持「科技創新增進人類福祉」的想法，與客戶、員工、夥伴共榮共贏、共創卓越的經營理念，為客戶提供完整的 ASIC 設計服務及 IP 矽智財授權相關服務，專注於技術創新，並透過鼓勵研發創新等獎勵機制，結合公司營運目標的專利申請佈局，形成研發創新的正向循環，以不斷提升技術競爭力，實現共同成長與成功。

智原承諾採取以下政策：

- 布局專利保護研發成果。
- 鼓勵研發創新。
- 強化智慧財產權的取得、保護、維護及運用。
- 強化員工智財法律觀念。
- 落實專利資產盤點。
- 智財風險預警與掌控。

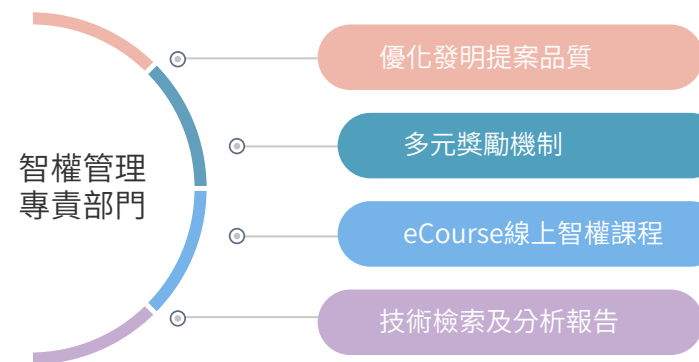
導入台灣智慧財產管理規範 (TIPS)

智原於 2023 年通過台灣智慧財產管理規範 (TIPS) A 級驗證 (證書請參閱連結)，以強化智原在保護智慧財產的管理。為促進研發創新，智原內部積極推動多元的專利申請獎勵機制，包括定期舉辦核准專利獲權頒獎活動，並提供先前技術檢索制度，安排內部智慧財產教育訓練課程，提供研發人員必要的專利申請法律要件等資訊。

此外，智原建置了專利資產盤點與核准率分析的管理指標系統，有效控管智慧財產權相關風險，健全管理系統。透過加強智慧財產權的取得、保護、維護及運用，並落實專利資產盤點，以全面了解專利資產實況，同時結合營運目標，提升研發創新的技術競爭力，也可對外提升市場競爭力，可望為智原的長期營運效益帶來重大貢獻。

1.4.1 智慧財產管理實踐

- 設立智慧財產權管理專責部門，制定系統化專利管理制度及各項流程，有效管理研發部門的各項創新提案
- 協助研發部門審查及優化發明提案品質，以提升專利申請的核准率
- 訂定多元獎勵機制及辦理核准專利獲權頒獎，激勵研發技術人員提出發明申請
- 安排內部 eCourse 線上智慧財產權課程，強化研發人員之專利申請法律要件等正確觀念
- 依據技術研發的進展及需求，提供技術檢索及分析報告，強化研發實力



1.4.2 智權風險預警及控管

技術創新及智慧財產保護是公司競爭力的基石。智原針對技術人才流動的潛在風險及產業相關技術議題，採取積極的管理及追蹤等措施。

- 於新進員工訓練時加強營業秘密、專利權等權利歸屬原則，及尊重智慧財產權等法律觀念宣導
- 公司內部網頁設有「資訊安全宣導」專屬指引連結，詳細說明各項資訊安全管制、機密資訊保護措施，及同仁應注意及配合事項
- 建立資訊安全系統，採行資訊進出權限管理，藉由分流審核機制，事先預警及避免機密資訊不當外流，或將不明來源的資訊阻絕於外
- 主動追蹤與報導相關技術領域的重大產業議題，不定期選擇與研發部門目標相關技術進行資料探索及分析，建立研發部門警示及協助風險規劃

1.4.3 專利佈局

智原的專利申請的佈局策略與目標兼顧質與量，我們定期進行專利資產盤點及分析，以有效掌握專利資產現況，更有效地運用資源。未來，我們將持續投入研發人力與資源，關注與公司營運目標相關的產業技術發展，強化智慧財產保護，提升智原研發能力的能見度及競爭優勢。

